

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-014842
(43)Date of publication of application : 20.01.1992

(51)Int.Cl. H01L 21/339
H01L 29/796
H04N 5/335

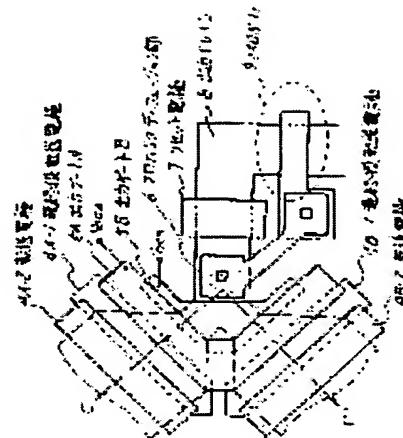
(21)Application number : 02-118170 (71)Applicant : NEC CORP
(22)Date of filing : 08.05.1990 (72)Inventor : MIWATA KAZUO

(54) CHARGE DETECTION CIRCUIT OF CHARGE TRANSFER DEVICE

(57)Abstract:

PURPOSE: To reduce the area of a floating diffusion part and to realize a high charge-to-voltage conversion gain by forming a means into which a signal charge which is read out alternately from final stages at individual registers flows into the floating diffusion part after it has passed through only one transfer channel formed under an output gate part.

CONSTITUTION: A floating junction part 6 is provided with a rectangular shape; an output gate 5B is arranged so as to be adjacent to it; an output gate 5A is arranged so as to be adjacent to it. Final-stage transfer electrodes 4A-1, 4B-2 of two rows of charge transfer registers are arranged respectively so as to be adjacent to separate sides of the output gate 5A; they are formed separately up to the transfer-channel output gate 5A of two rows and are united under the output gate 5B. Respectively different voltages VOOA, VOOB are applied to the output gates 5A, 5B in such a way that the potential under the output gate 5B becomes deeper than that under the output gate 5A.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報 (A)

平4-14842

⑬ Int.Cl.⁵H 01 L 21/339
29/796

H 04 N 5/335

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)1月20日

Z

8838-5C

8122-4M

H 01 L 29/76

301 C

審査請求 未請求 請求項の数 4 (全6頁)

⑮ 発明の名称 電荷転送装置の電荷検出回路

⑯ 特 願 平2-118170

⑰ 出 願 平2(1990)5月8日

⑱ 発 明 者 三輪田 和雄 東京都港区芝5丁目7番1号 日本電気株式会社内
 ⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
 ⑳ 代 理 人 弁理士 内原 晋

明 細 審

1. 発明の名称

電荷転送装置の電荷検出回路

2. 特許請求の範囲

1) 感光画素列から転送された信号電荷をそれぞれ同方向に転送する2列の電荷転送レジスタと、各電荷転送レジスタの最終段から交互に信号電荷を読み出すフローティングディフュージョン型電荷読み出し部とを有する電荷転送装置の電荷検出回路において、前記各電荷転送レジスタの最終段とフローティングディフュージョン部との間に出力ゲート部を有し、前記各電荷転送レジスタの最終段から交互に読み出される信号電荷が前記出力ゲート部下に形成される1本の転送チャネルを通過してフローティングディフュージョン部へ流入する手段を有することを特徴とする電荷転送装置の電荷検出回路。

2) 特許請求の範囲第1項記載の電荷転送装置の

電荷検出回路において、前記出力ゲート部下に形成される転送チャネル部は隣接する各電荷転送レジスタの最終段より、フローティングディフュージョン部へ向けて信号電荷を押しやる電界を形成する電界形成手段を具備することを特徴とする電荷転送装置の電荷検出回路。

3) 特許請求の範囲第2項記載の電荷転送装置の電荷検出回路において、前記電界形成手段が前記出力ゲート部を少なくとも2段以上の出力ゲート電極で構成し、その2段の出力ゲート電極に異なる電圧を印加することを特徴とする電荷転送装置の電荷検出回路。

4) 特許請求の範囲第2項記載の電荷転送装置の電荷検出回路において、前記電界形成手段が、前記出力ゲート部を少なくとも2段以上の出力ゲート電極で構成し、その2段の出力ゲート電極の内一方のみの電極下に基板と同一又は逆の導電型の不純物導入領域を設けていることを特徴とする電荷転送装置の電荷検出回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、一次元イメージセンサ等に用いられる電荷転送装置、特に、2本のCCDシフトレジスタにより転送される信号電荷を一つの読み出し部により取り出す出力構造に関するものである。

〔従来の技術〕

従来のCCDシフトレジスタを用いた一次元イメージセンサは特開昭59-221176等に示されており、その一例を第2図、第3図、第4図に示す。第2図は全体図、第3図は出力部を詳細に示した図、第4図はその縦断面図である。一導電型の半導体基板1上には複数の感光画素が直線上に配列されて画素列2が形成されている。その画素列2の両側に沿ってトランസフｫー(TG)電極3が設けられている。さらに、TG電極3の外側に並列に、CCDシフトレジスタ4A、4Bそれぞれ設けられている。画素列2に蓄積された電荷はTG電極3の制御の下でもCCDシフトレジスタ4A、4Bに送られ、各CCDシフトレジ

が出力ゲート5下の別々のチャネルを通り共通のフローティングジャンクション部6に流入している点である。

このような構成の信号電荷検出装置の検出出力電圧 V_{out} はフローティングディフュージョン部6に流入する信号電荷量をQ、MOSトランジスタ9、10より成るゲースフォロワー回路の利得をG、フローティングディフュージョン部6の容量を C_s 、MOSトランジスタ9の入力容量を C_m とすると次式(1)で表わすことができる。

$$V_{out} = \frac{Q}{C_s + C_m} \times G \quad \dots \dots (1)$$

通常利得Gは0.9程度と低く、かつまた C_m はゲースフォロワーの回路構成上限界が存在しているため、一定量の信号電荷量に対し出力電圧を増加させる(電荷/電圧変換ゲインを上げる)には静電容量 C_s を減らす必要がある。

この静電容量 C_s 内訳を第3図A-A'線での断面と同図B-B'線での断面をそれぞれ断面図である第4図(a)、(b)を用いて説明する。いま半

スタ4A、4Bを転送された後出力ゲート電極5に送られて出力が得られる。

この出力部をより詳細に示した第3図を参照すると、CCDシフトレジスタ4の最終段の転送電極4A-1、4B-1隣接して一定電位に設定された出力ゲート電極5が設けられている。

この出力ゲート電極5にはCCDシフトレジスタ4A、4Bにより順次シリアルに転送されてきた信号電荷を取出すためのフローティング接合形電荷読み出し部(以下、フローティングディフュージョン部と言う)6が隣接して設けられている。符号7はフローティングディフュージョン部6の電位を定期的に出力ドレイン8と同電位にリセットするためのリセット電極を示している。フローティングディフュージョン部6に生じる転送信号電荷による電位変化はMOSトランジスタ9、10より成るゲースフォロワー回路を介して出力端子 V_{out} より電圧の形で外部へ出力される。

第3図において注意すべき点は、最終段の転送電極4A-1、4B-1から読み出される信号電荷

導体基板をP型とし、フローティングディフュージョン部6をN型の半導体とすると、第4図(a)においてフローティングディフュージョン部6とP型基板とは常に逆バイアスがかかった状態で動作するため、その接合容量 C_{ss} が存在する。また、フローティングディフュージョン部6と、出力ゲート5とのカップリング容量 C_{os} とリセット電極7とのカップリング容量 C_{os} とが存在している。

また第4図(b)においてフローティングディフュージョン部6とP型チャネルストップ部10との間にも接合容量 C_{os} が存在している。すなわち、フローティングディフュージョン部の容量 C_s は以下の(2)式で表わされる。

$$C_s = C_{ss} + C_{os} + C_{os} + C_{os} \quad \dots \dots (2)$$

〔発明が解決しようとする課題〕

以上述べた従来の電荷転送装置の電荷検出装置において問題となるのは、電荷/電圧変換ゲインを上げようとしてもフローティングジャンクション部の面積の縮小化に限界があるという欠点であ

る。

すなわち、2本のCCDシフトレジスタの最終段の転送電極4A-1, 4B-1から読出される信号電荷が出力ゲート5下の別々のチャネルを通り、共通のフローティングジャンクション部6に流入するため、出力ゲートと2ヶ所において近接する必要があり、かつまたフローティングディフェュージョン部6をリセットするリセット電極にも近接するため、第3図に示すレイアウト構成がほぼ限界であった。

本発明では上記問題点に対し新規な出力部の構造を創造することにより、フローティングディフェュージョン部6の面積の低減を可能とし、高電荷／電圧変換ゲインを実現することを目的とする。

〔課題を解決するための手段〕

本発明による電荷転送装置の電荷検出回路は、感光画素列から転送された信号電荷をそれぞれ同方向に転送する2列の電荷転送レジスタと、各レジスタの最終段から交互に信号電荷を読出すフローティングディフェュージョン型電荷読出し部と

の別々の辺に隣接して、2列の電荷転送レジスタの最終段転送電極4A-1, 4B-1がそれぞれ配置されている。しかも2列の転送チャネルは出力ゲート5Aまでは別々であるが出力ゲート5B下において一本化している。

又、出力ゲート5A, 5Bには、出力ゲート5B下のポテンシャル φ_{00B} が出力ゲート4A下のそれである φ_{00A} より深くなる様にそれぞれ異なる電圧 V_{00A} , V_{00B} が印加されている。

次にその動作原理を第1図とこの第1図のC-C'線での断面図及びそのポテンシャル図である第5図(a), (c)と、各電極に印加するクロックタイミングを示す第6図を用いて説明する。

時刻T₁(第5図(a))においてリセット電極7に“ハイ”レベルを印加し、リセット電極7をオンさせ、フローティングディフェュージョン部6の電位を出力ドレイン8に印加してある電位 V_{DD} と同電位にセットする。時刻T₂においてリセット電極電圧を“ロー”レベルとし、リセット電極7をオフさせ、フローティングディフェュージョン6

を有する電荷検出回路において、各レジスタの最終段とフローティングディフェュージョン部との間に outputゲート部を有し、しかもこれら各レジスタの最終段から交互に読みだされる信号電荷が、出力ゲート部下に形成される1本のみの転送チャネルを通過してフローティングディフェュージョン部へ流入する手段を有している。

言い換えるならば、2列の電荷転送レジスタの信号電荷転送チャネルはフローティングディフェュージョン部1本になるのではなく、出力ゲート部下のチャネルで1本化される構成となっている。

〔実施例〕

次に本発明について図面を参照して説明する。

第1図は本発明の一実施例の電荷転送装置の電荷検出回路の構造を示す平面図である。フローティングジャンクション部6は長方形状を有し、フローティングジャンクション部6に隣接して出力ゲート5Bが配置され、出力ゲート5Bに隣接して出力ゲート5Aが配置され、出力ゲート5A

をフロート状態とする。時刻T₁(第5図(a))において、最終段転送電極4B-1の電位を“ハイ”から“ロー”に変えることにより最終段転送電極4B-1下に蓄積されていた信号電荷Qが、出力ゲート5A, 5B下の転送チャネルを通過し、フローティングディフェュージョン部6へ流入する。この時刻T₁においては、最終段転送電極4A-1の電位は転送電極4A-2からの信号をうけとめるための“ロー”から“ハイ”に変わっており、信号電荷Qが、出力ゲート部より他方のシフトレジスタ4Aの最終段転送電極4A-1下のポテンシャルチャネルへ逆流する可能性があるが、出力ゲート5A, 5Bにおいて電位差をつけて $\varphi_{00A} < \varphi_{00B}$ とすることにより、一度出力ゲート5B下のポテンシャルチャネルに流入した電荷が他方のシフトレジスタ4Aの最終段転送電極4A-1下に流出しない様にポテンシャル障壁を形成することにより、この可能性は回避できる。

さらに詳細に言うならば、出力ゲート5B下のチャネルポテンシャルへの信号電荷の流入速度よ

りも、出力ゲート 5B 下のチャネルボテンシャルよりフローティングディフェュージョン 6 への信号電荷の流出速度を高めておけば、信号電荷による出力ゲート 5B のボテンシャルのもち上がり（第 5 図における $\Delta\varphi_{00B}$ ）が少しくでき信号電荷の逆流を防止するためには $\varphi_{00A}, \varphi_{00B}$ の間には以下の関係が成立すればよい。

$$(\varphi_{00B} - \varphi_{00A}) > \Delta\varphi_{00B} = 0.1 \text{ V}$$

$\Delta\varphi_{00B} = 0.1 \text{ V}$ は第 7 図に示す信号逆流リミットを測定した実測値よりわかる。

第 8 図は本発明の他の実施例を示すもので第 5 図(A)に対応するものである。この他の実施例が前述の実施例と異なる点は出力ゲート 5A, 5B 下のチャネルボテンシャル差をそのゲート電圧に差をつけるのではなく、ゲート電極には共通の V_{00} を加え、出力ゲート 5A 下にのみ P 型インプラ層 12 を設けることにより形成している点である。

【発明の効果】

以上説明したように、本発明は 2 列の電荷転送レジスタの信号電荷転送チャネルをフローティン

第 5 図(b)及び(c)はその各部のボテンシャル関係を動作時刻毎に示すタイミング図、第 6 図は第 5 図(b), (c)のボテンシャル関係を説明するためのタイミング図、第 7 図は本発明の一実施例の正常動作を示すグラフ、第 8 図は本発明の他の実施例を示す断面図である。

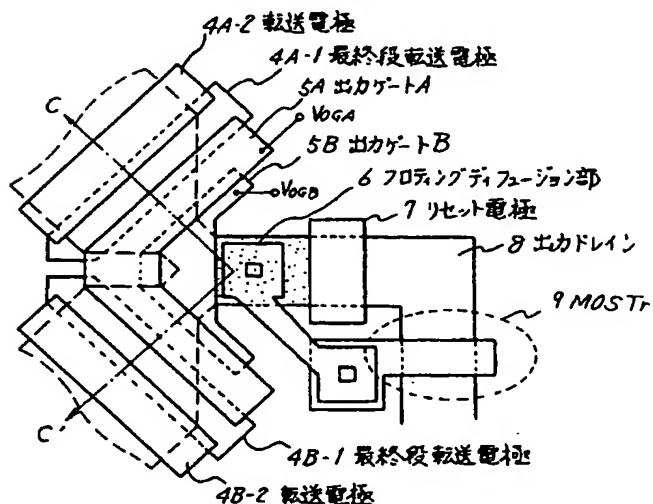
1 ……P 型基板、2 ……感光画素列、3 ……トランスファー電極、4A, 4B ……CCD シフトレジスター、5 ……出力ゲート電極、6 ……フローティングディフェュージョン部、7 ……リセット電極、8 ……出力ドレイン、9, 10 ……MOSTr、11 N 型拡散層、12 ……P 型インプラ層、4A-1, 4L-1 ……最終転送電極、4A-2, 4B-2 ……転送電極、5-A ……出力ゲート A、5B ……出力ゲート B。

代理人弁理士内原晋

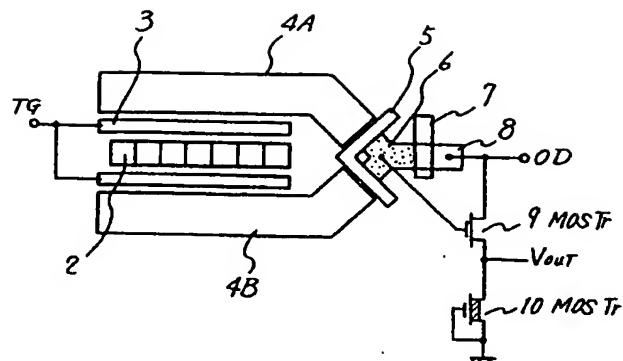
グディフェュージョン部で 1 本化するのではなく、出力ゲート部下において 1 本化することより、フローティングディフェュージョン部の面積が低減でき、しかも出力ゲート部と隣接する長さを短かくすることにより、(2)式に示すフローティングディフェュージョン部の容量の内 C_{00A} と C_{00B} とを面積低減により低減でき、しかも出力ゲート部との隣接長を短かくすることにより C_{00A} が低減できるため、電荷転送装置の信号電荷検出回路の電荷／電圧変換ゲインを向上できその効果は大である。

4. 図面の簡単な説明

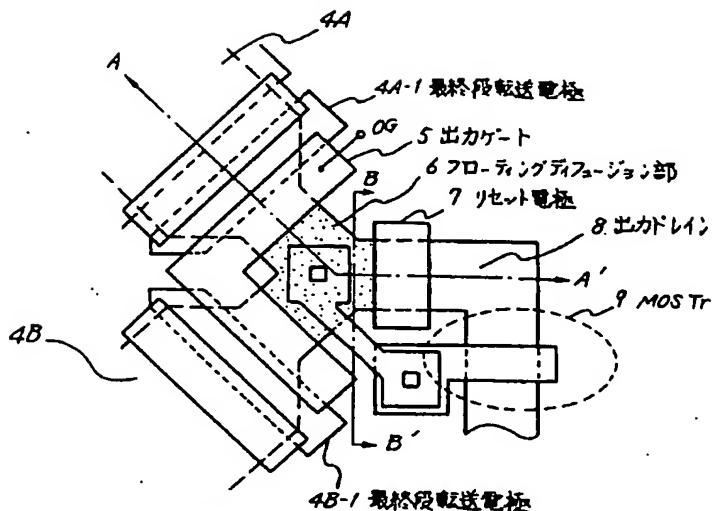
第 1 図は本発明の電荷転送装置の信号電荷検出装置の一実施例の平面図、第 2 図は従来の CCD シフトレジスタを用いた一次元イメージセンサの構成を示す全体図、第 3 図は従来の電荷転送装置の信号電荷検出装置の一部の平面図、第 4 図(a)および(b)は第 2 図の従来の実施例の A-A' 線および B-B' 線での各断面図、第 5 図(a)は第 1 図の本発明の一実施例の C-C' 線での断面図、



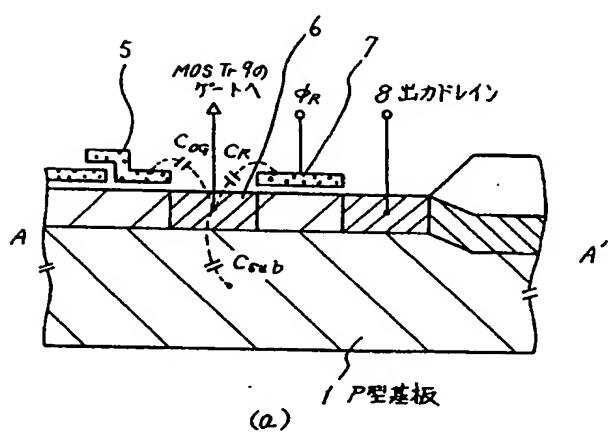
第 1 図



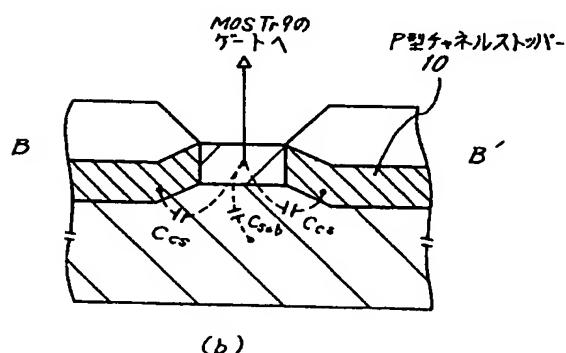
第2図



第3図

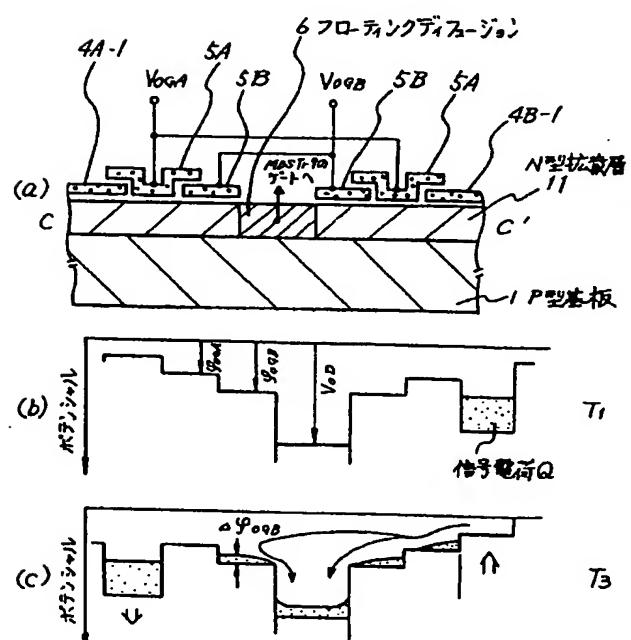


(a)

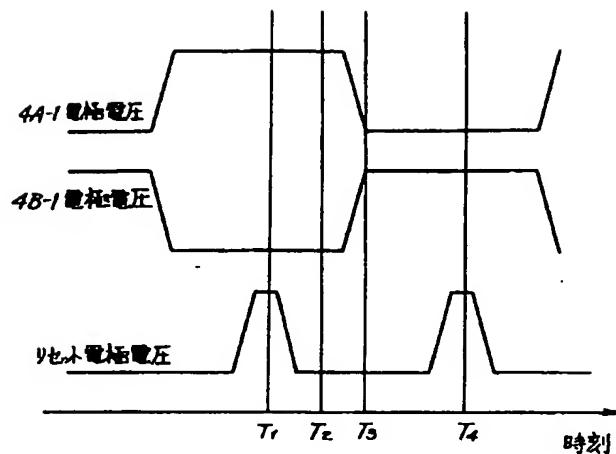


(b)

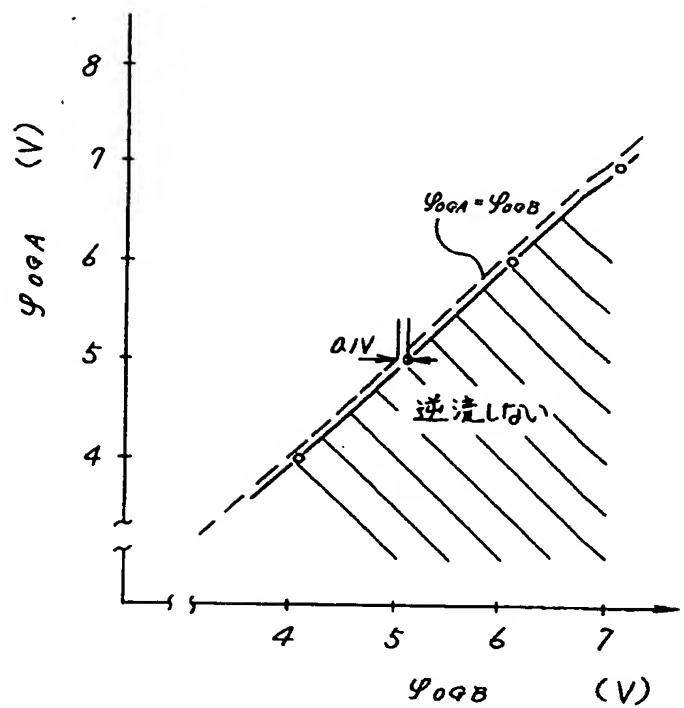
第4図



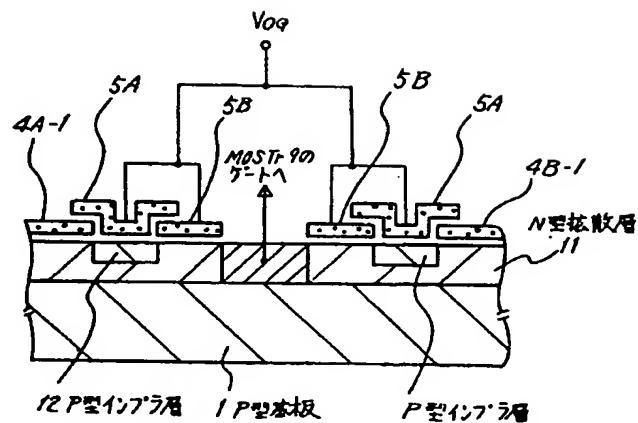
第5図



第6図



第7図



第8図